

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Jae-Bon KOO, *et al.*

Art Unit: To Be Assigned

Appl. No To Be Assigned

Examiner: To Be Assigned

Filed: March 31, 2004

Atty. Docket: 6161.0120.US

For: **FLAT PANEL DISPLAY WITH IMPROVED WHITE BALANCE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119 IN UTILITY APPLICATION**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

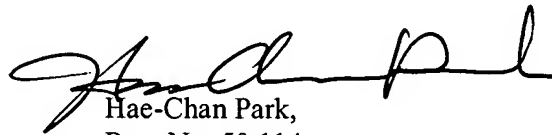
Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	2003-0024428	April 17, 2003
KOREA	2003-0024505	April 17, 2003

The certified copies of Korean Patent Application Nos. 2003-0024428 and 2003-0024505 are submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,

  
Hae-Chan Park,  
Reg. No. 50,114

Date: March 31, 2003

McGuireWoods LLP  
1750 Tysons Boulevard, Suite 1800  
McLean, VA 22102  
Telephone No. 703-712-5365  
Facsimile No. 703-712-5280



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0024428  
Application Number

출원 년 월 일 : 2003년 04월 17일  
Date of Application APR 17, 2003

출원 인 : 삼성에스디아이 주식회사  
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 07 월 25 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.17
【발명의 명칭】	화이트밸런스가 개선된 평판표시장치
【발명의 영문명칭】	Flat Panel Display with improved white balance
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	K00, JAE BON
【주민등록번호】	720706-1767718
【우편번호】	449-766
【주소】	경기도 용인시 수지읍 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박상일
【성명의 영문표기】	PARK, SANG IL
【주민등록번호】	750320-1042314
【우편번호】	158-074
【주소】	서울특별시 양천구 신정4동 983-12호
【국적】	KR
【발명자】	
【성명의 국문표기】	이을호
【성명의 영문표기】	LEE, UL HO
【주민등록번호】	720614-1575710

【우편번호】	449-906
【주소】	경기도 용인시 기흥읍 서천리 157-1
【국적】	KR
【발명자】	
【성명의 국문표기】	김진수
【성명의 영문표기】	KIM, JIN S00
【주민등록번호】	690405-1052526
【우편번호】	449-907
【주소】	경기도 용인시 기흥읍 신갈리 165 현대아파트 201동 602호
【국적】	KR
【발명자】	
【성명의 국문표기】	정진웅
【성명의 영문표기】	JUNG, JIN WOUNG
【주민등록번호】	730402-2221727
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 벽적골9단지아파트 909-1504
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 각 화소의 R, G, B 단위화소에 있어서, 구동 트랜지스터의 멀티 게이트 사이의 오프셋영역의 오프셋길이를 달리하여 오프셋영역의 기하학적인 구조를 변경시켜 줌으로써, 화이트 밸런스를 개선할 수 있는 평판표시장치를 개시한다.

본 발명의 평판표시장치는 각각 적색(R), 녹색(G), 청색(B)을 구현하기 위한 R, G, B 단위화소를 구비하고, 상기 각 단위화소는 멀티 게이트를 갖는 트랜지스터를 구비하는 다수의 화소를 포함하며, 상기 R, G, B 단위화소중 적어도 2개의 단위화소의 트랜지스터는 멀티 게이트사이에 서로 다른 기하학적인 구조를 갖는 오프셋영역을 구비한다.

상기 R, G, B 단위화소의 트랜지스터의 멀티게이트사이의 오프셋영역의 총길이는 모두 동일하며, 상기 오프셋영역중 불순물이 도핑되지 않은 부분의 오프셋 길이가 서로 다른 것을 특징으로 한다. 상기 R, G, B 단위화소는 상기 트랜지스터중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 오프셋영역은 상기 발광소자보다 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 오프셋영역보다 오프셋길이가 긴 것을 특징으로 한다.

## 【대표도】

도 2b

## 【명세서】

## 【발명의 명칭】

화이트밸런스가 개선된 평판표시장치{Flat Panel Display with improved white balance}

## 【도면의 간단한 설명】

도 1은 통상적인 평판표시장치의 R, G, B 단위화소의 배열상태를 도시한 도면,

도 2a 및 도 2b는 본 발명의 실시예에 따른 평판표시장치에 있어서, R 단위화소의 구동 트랜지스터의 평면구조 및 단면구조를 도시한 도면,

도 3a 및 도 3b는 본 발명의 실시예에 따른 평판표시장치에 있어서, G 단위화소의 구동 트랜지스터의 평면구조 및 단면구조를 도시한 도면,

도 4a 및 도 4b는 본 발명의 실시예에 따른 평판표시장치에 있어서, B 단위화소의 구동 트랜지스터의 평면구조 및 단면구조를 도시한 도면,

\*도면의 주요 부분에 대한 부호의 설명\*

220, 320, 420 : 반도체층 230, 330, 430 : 오프셋영역

240, 241, 245, 340, 341, 345, 440, 441, 445 : 게이트

221, 225, 321, 325, 421, 425 : 소오스/드레인 영역

251, 255, 351, 355, 451, 455 : 소오스/드레인 콘택

261, 265, 361, 365, 461, 465 : 소오스/드레인 전극

270, 370 : 마스크 235, 335, 435 : 도핑영역

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 풀칼라 평판표시장치에 관한 것으로서, 보다 구체적으로는 멀티게이트사이의 오프셋영역의 오프셋길이를 달리하여 오프셋영역의 기학학적인 구조를 변경하여 줌으로써 화이트밸런스를 구현할 수 있는 평판표시장치에 관한 것이다.
- <13> 일반적으로, 평판표시장치인 유기전계 발광표시장치는 도 1에 도시된 바와같이 매트릭스형태로 배열된 다수의 화소(100)를 구비하며, 각 화소(100)가 적색(R)을 구현하기 위한 단위화소(110R), 녹색(G)을 구현하기 위한 단위화소(120G), 청색(B)을 구현하기 위한 단위화소(130B)의 3개의 단위화소로 이루어진다.
- <14> 상기 R 단위화소(110R)는 적색(R) 발광층을 구비한 적색 EL소자(115)와, 상기 적색 EL소자(115)에 전류를 공급하기 위한 구동 트랜지스터(113)와, 상기 구동 트랜지스터(113)로부터 적색 EL소자(115)로의 전류공급을 스위칭하기 위한 스위칭 트랜지스터(111)로 이루어진다. 상기 G 단위화소(120G)는 녹색(G) 발광층을 구비한 녹색 EL 소자(125)와, 상기 녹색 EL소자(125)에 전류를 공급하기 위한 구동 트랜지스터(123)와, 상기 구동 트랜지스터(123)로부터 녹색EL 소자(125)로의 전류공급을 스위칭하기 위한 스위칭 트랜지스터(121)로 이루어진다. 상기 B 단위화소(130B)는 청색(B) 발광층을 구비한 청색 EL소자(135)와, 상기 청색 EL소자(135)에 전류를 공급하기 위한 구동 트랜지스터(133)와, 상기 구동 트랜지스터(133)로부터 상기 청색EL소자(135)로의 전류공급을 스위칭하기 위한 스위칭 트랜지스터(131)로 이루어진다.

- <15> 통상적으로, OELD 의 R, G, B 단위화소(110R, 120G, 130B)는 구동 트랜지스터(113, 123, 133)의 크기 즉, 채널층의 길이(L)에 대한 폭(W)의 비(W/L)가 모두 일정하고, EL 소자는 B, R, G 단위화소순으로 높은 발광효율을 갖는다. 그러므로, R, G, B 단위화소(110R, 120G, 130B)의 구동 트랜지스터(113, 123, 133)의 채널층의 크기(W/L)는 모두 동일한 반면에 각 R, G, B EL층(115, 125, 135)의 발광효율은 서로 다르기 때문에, 화이트 밸런스(white balance)를 구현하기 어려웠다.
- <16> 화이트 밸런스를 구현하기 위해서는, 발광효율이 높은 EL 소자, 예를 들어 녹색 EL 소자에는 상대적으로 작은 양의 전류를 공급하여야 하며, 발광효율이 낮은 적색 및 청색 EL 소자에는 상대적으로 커다란 양의 전류를 공급해주어야 한다.
- <17> 이때, 구동 트랜지스터를 통해 EL소자로 흐르는 전류( $I_d$ )는 구동 트랜지스터가 포화상태에서 동작할 때이므로, 식 (1)과 같이 표현된다
- <18> 
$$I_d = C_{ox} \mu W \{(V_g - V_{th})\}^2 / 2L \dots\dots(1)$$
- <19> 그러므로, 화이트 밸런스를 구현하기 위해 EL소자로 흐르는 전류를 제어하기 위한 방법중 하나로 R, G, B 단위화소의 구동 트랜지스터의 크기 즉, 트랜지스터의 채널층의 길이(L)에 대한 폭(W)의 비(W/L)를 다르게 하여 R, G, B 단위화소의 EL소자에 흐르는 전류량을 조절하는 방법이 있다. 이와같이 트랜지스터의 크기에 따라 EL 소자로 흐르는 전류량을 조절하는 방법은 일본특허 공개공보 2001-109399호에 개시되었다. 일본특허는 R, G, B 단위화소별 EL 소자의 발광효율에 따라 R, G, B 단위화소의 구동 트랜지스터의 크기를 다르게 형성하였다. 즉, 발광효율이 높은 녹색(G)을 구현하기 위한 단위화소의 구동 트랜지스터의 크기를 상대적으로 발광효율이 낮은 적색(R) 또는 청색(B)을 구현하기



위한 단위화소의 구동 트랜지스터보다 작게 형성하여 줌으로써, R, G, B 단위화소의 EL 소자로 흐르는 전류량을 제어하였다.

<20> 화이트 밸런스를 구현하기 위한 또 다른 방법으로 R, G, B 단위화소의 발광층의 면적을 다르게 형성하는 방법이 있는데, 이는 일본공개특허 2001-290441에 개시되었다. 상기 일본특허는 R, G, B 단위화소의 EL소자의 발광효율에 따라 발광면적을 서로 다르게 형성하여, R, G, B 단위화소의 휘도를 동일하게 발생시켰다. 즉, 발광효율이 높은 G 단위화소보다 발광효율이 낮은 R 단위화소 또는 B 단위화소의 발광면적을 상대적으로 크게 형성하여 R, G, B 단위화소를 통해 동일한 휘도가 발생되도록 하였다.

<21> 그러나, 상기한 바와같은 종래의 화이트 밸런스를 구현하기 위한 방법은 R, G, B 단위화소중 발광효율이 낮은 단위화소의 발광면적을 크게 형성하거나, 또는 R, G, B 단위화소중 발광효율이 낮은 단위화소의 트랜지스터의 크기를 증가시켜 줌으로써, 각 화소가 차지하는 면적이 증가하게 되고, 이에 따라 고해상도에 적용하기 어려운 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<22> 따라서, 본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 화소면적을 증가시키 않고 화이트 밸런스를 구현할 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

<23> 본 발명의 다른 목적은 R, G, B 단위화소별 구동 트랜지스터의 멀티게이트사이의 오프셋영역의 기하학적 구조를 달리하여 저항값을 변화시켜 줌으로써, 화이트 밸런스를 구현할 수 있는 평판표시장치를 제공하는 데 그 목적이 있다.

- <24> 본 발명의 다른 목적은 R, G, B 단위화소별 구동 트랜지스터의 멀티게이트사이의 오프셋영역의 오프셋길이를 달리하여 화이트 밸런스를 구현할 수 있는 평판표시장치를 제공하는 데 있다.

【발명의 구성 및 작용】

- <25> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 각각 적색(R), 녹색(G), 청색(B)을 구현하기 위한 R, G, B 단위화소를 구비하고, 상기 각 단위화소는 멀티 게이트를 갖는 트랜지스터를 구비하는 다수의 화소를 포함하며, 상기 R, G, B 단위화소중 적어도 2개의 단위화소의 트랜지스터는 멀티 게이트사이에 서로 다른 기하학적 구조를 갖는 오프셋영역을 구비하는 평판표시장치를 제공하는 것을 특징으로 한다.
- <26> 상기 R, G, B 단위화소는 상기 트랜지스터에 의해 구동되는 발광소자를 구비하며, 상기 R, G, B 단위화소의 트랜지스터중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 오프셋영역의 저항값은 상대적으로 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 오프셋영역의 저항값보다 큰 것을 특징으로 한다.
- <27> 상기 R, G, B 단위화소의 트랜지스터의 멀티게이트사이의 오프셋영역의 총길이는 모두 동일하며, 상기 오프셋영역중 불순물이 도핑되지 않은 부분의 오프셋 길이가 서로 다른 것을 특징으로 한다. 상기 R, G, B 단위화소는 상기 트랜지스터중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 오프셋영역은 상기 발광소자보다 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 오프셋영역보다 오프셋길이가 긴 것을 특징으로 한다.

- <28>      상기 R, G, B 단위화소의 트랜지스터의 멀티게이트사이의 오프셋영역의 총길이는 모두 동일하며 상기 오프셋영역의 폭이 서로 다르거나, 또는 상기 R, G, B 단위화소의 트랜지스터의 멀티게이트사이의 오프셋영역의 폭은 모두 동일하며 상기 오프셋영역의 길이가 서로 다른 것을 특징으로 한다.
- <29>      이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.
- <30>      도 2a는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, R 단위화소의 구동 트랜지스터의 평면구조를 도시한 것이고, 도 2b는 R 단위화소의 구동 트랜지스터의 단면구조를 도시한 것으로서, 도 2a 의 2A-2A' 선에 따른 단면구조이다.
- <31>      도 2a 및 도 2b를 참조하면, R 단위화소의 구동 트랜지스터(R\_DTR, 113)는 반도체층(220)과, 게이트 전극(240) 및 소오스/드레인 전극(261), (265)을 구비한다. 상기 게이트전극(240)은 상기 반도체층(220)에 대응하는 멀티 게이트(241), (245)를 구비한다. 상기 반도체층(220)은 멀티 게이트(241), (245)에 대응되는 부분에 형성된 멀티 채널층(223), (227)과, 상기 채널층(223), (227)의 일측에 형성된 소오스/드레인 영역(221), (225)을 구비한다. 상기 소오스/드레인 영역(221), (225)은 각각 콘택(251), (255)을 통해 소오스/드레인 전극(261), (265)과 전기적으로 연결된다.
- <32>      또한, 상기 반도체층(220)은 상기 멀티 게이트(241), (245)사이 즉, 멀티 채널층(223), (227)사이에 오프셋영역(230)을 더 구비한다. 상기 오프셋영역(230)은 소오스/드레인 영역(221), (225)과 동일한 도전형의 고농도 불순물이 도핑된 부분(235)과 불순물이 도핑되지 않은 오프셋부분(231)으로 이루어지며, 오프셋 영역(230)의 길이(Lr)중 오프셋부분이 차지하는 길이는 L<sub>roff</sub> 이다.

- <33> 도 2a에서, 참조번호 270은 멀티 게이트(241), (245)사이의 오프셋영역(230)중 오프셋 길이(Lroff)를 한정하기 위하여 사용되는 마스크를 나타낸다. 즉, 상기 마스크(270)는 오프셋영역(230)의 일부분(231)으로 불순물 도핑시 이온주입 마스크로 사용되며, 상기 마스크(270)와 오프셋영역(230)의 오버랩정도에 따라 오프셋길이(Lroff)가 결정된다.
- <34> 도 3a는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, G 단위화소의 구동 트랜지스터의 평면구조를 도시한 것이고, 도 3b는 G 단위화소의 구동 트랜지스터의 단면구조를 도시한 것으로서, 도 3a 의 3A-3A' 선에 따른 단면구조이다.
- <35> 도 3a 및 도 3b를 참조하면, G 단위화소의 구동 트랜지스터(G\_DTR, 123)는 반도체층(320)과, 게이트전극(340) 및 소오스/드레인 전극(361), (365)을 구비한다. 상기 게이트전극(340)은 상기 반도체층(320)에 대응되는 멀티 게이트(341), (345)를 구비한다. 상기 반도체층(320)은 멀티 게이트(341), (345)에 대응되는 멀티 채널층(323), (327)과, 상기 멀티 채널층(323), (327)의 일측에 형성된 소오스/드레인 영역(321), (325)을 구비한다. 상기 소오스/드레인 영역(321), (325)은 각각 콘택(351), (355)을 통해 소오스/드레인 전극(361), (365)과 전기적으로 연결된다.
- <36> 또한, 상기 반도체층(320)은 상기 멀티 게이트(341), (345)사이 즉, 멀티 채널층(323), (327)사이에 오프셋영역(330)을 더 구비한다. 상기 오프셋영역(330)은 소오스/드레인 영역(321), (325)과 동일한 도전형의 고농도 불순물이 도핑된 부분(335)과 불순물이 도핑되지 않은 오프셋부분(331)으로 이루어지며, 오프셋 영역(330)의 길이(Lg)중 오프셋부분이 차지하는 길이는 Lgoff 이다.

- <37> 도 3a에서, 참조번호 370은 멀티 게이트(341), (345)사이의 오프셋영역(330)중 오프셋 길이(Lgoff)를 한정하기 위하여 사용되는 마스크를 나타낸다. 즉, 상기 마스크(370)는 오프셋영역(330)의 일부분(331)으로 불순물 도핑시 이온주입 마스크로 사용되며, 상기 마스크(370)와 오프셋영역(330)의 오버랩정도에 따라 오프셋길이(Lgoff)가 결정된다.
- <38> R, G, B 단위화소중 발광효율이 가장 높은 G단위화소의 구동 트랜지스터는 멀티 게이트(341), (345)사이의 오프셋영역(330)중 오프셋길이(Lgoff)를 상대적으로 발광효율이 낮은 R 단위화소의 구동 트랜지스터의 멀티게이트(241), (245)사이의 오프셋영역(230)중 오프셋길이(Lroff)보다 길게 되도록 구동 트랜지스터를 형성한다.
- <39> 도 4a는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, B 단위화소의 구동 트랜지스터의 평면구조를 도시한 것이고, 도 4b는 B 단위화소의 구동 트랜지스터의 단면구조를 도시한 것으로서, 도 4a 의 4A-4A' 선에 따른 단면구조이다.
- <40> 도 4a 및 도 4b를 참조하면, B 단위화소의 구동 트랜지스터(B\_DTR, 133)는 G 단위화소의 구동 트랜지스터(G\_DTR, 123)는 반도체층(420)과, 게이트전극(440) 및 소오스/드레인 전극(461), (465)을 구비한다. 상기 게이트전극(440)은 상기 반도체층(420)에 대응되는 멀티 게이트(441), (445)를 구비한다. 상기 반도체층(420)은 멀티 게이트(441), (445)에 대응되는 멀티 채널층(423), (427)과, 상기 멀티 채널층(423), (427)의 일측에 형성된 소오스/드레인 영역(421), (425)을 구비한다. 상기 소오스/드레인 영역(421), (425)은 각각 콘택(451), (455)을 통해 소오스/드레인 전극(461), (465)과 전기적으로 연결된다.

- <41> 또한, 상기 반도체층(420)은 상기 멀티 게이트(441), (445)사이 즉, 멀티 채널층(423), (427)사이에 오프셋영역(430)을 더 구비한다. 상기 오프셋영역(430)은 R 또는 G 단위화소와는 달리 전체적으로 소오스/드레인 영역(321), (325)과 동일한 도전형의 고농도 불순물이 도핑된다. 그러므로, 오프셋 영역(430)의 길이( $L_b$ )중 오프셋부분이 차지하는 길이는  $L_{boff}=0$  이다.
- <42> 상기한 바와같이, R, G, B 단위화소중 발광효율이 가장 높은 G단위화소의 구동 트랜지스터는 멀티 게이트(341), (345)사이의 오프셋영역(330)중 오프셋길이( $L_{goff}$ )를 상대적으로 발광효율이 낮은 R 단위화소의 구동 트랜지스터의 멀티게이트(241), (245)사이의 오프셋영역(230)중 오프셋길이( $L_{roff}$ )보다 길게 형성하고, 발광효율이 가장 낮은 B단위화소의 구동 트랜지스터는 멀티 게이트사이의 오프셋영역(430)을 모두 도핑시켜  $L_{boff}=0$ 으로 만들어 줌으로써, R, G, B 단위화소의 멀티게이트사이의 오프셋영역의 저항값을 다르게 설정하여 화이트 밸런스를 구현할 수 있다.
- <43> 본 발명의 실시예에서는, R, G, B 단위화소의 각 구동 트랜지스터의 멀티게이트사이의 오프셋영역이 서로 다른 기하학적인 구조를 갖도록 형성하여 줌으로써, 오프셋영역의 저항값을 변화시켜 화이트 밸런스를 구현하는 것이다.
- <44> 즉, 발광효율이 서로 다른 R, G, B 단위화소의 멀티 게이트사이의 오프셋영역의 길이( $L_r$ ,  $L_g$ ,  $L_b$ )를 동일하게 만들어주고, 오프셋영역(230, 330, 430)중 불순물이 도핑되지 않은 오프셋길이( $L_{roff}$ ,  $L_{goff}$ ,  $L_{boff}$ )를 서로 다르게 만들어 줌으로써, 각 단위화소의 멀티게이트사이의 오프셋영역이 서로 다른 저항값을 갖도록 형성하여 화이트 밸런스를 구현하였다.

<45> 다시 말하면, 발광효율이 가장 높은 G 단위화소는 오프셋영역(330)중 오프셋길이를 가장 길게하여 가장 커다란 저항값을 갖도록 형성한다. 한편, 발광효율이 가장 낮은 B 단위화소는 오프셋영역(430)을 전체적으로 도핑시켜 오프셋길이가 0 이 되도록 하여 가장 작은 저항값을 갖도록 형성하고, G 단위화소와 B 단위화소사이의 발광효율을 갖는 R 단위화소의 오프셋영역(230)은 상기 G 단위화소의 오프셋영역(330)의 오프셋길이( $L_{goff}$ ) 보다는 작은 오프셋길이( $L_{roff}$ )를 갖도록 형성하여 줌으로써, G 단위화소와 B 단위화소사이의 저항값을 갖도록 형성한다.

<46> 본 발명의 실시예에서는 멀티 게이트가 2개의 게이트로 이루어지는 것을 예시하였으나, 멀티 게이트의 구조 및 게이트수에 관계없이 R, G, B 단위화소의 구동 트랜지스터의 멀티 게이트사이의 오프셋영역이 서로 다른 기하학적이 구조를 가지므로써, 서로 다른 저항값을 갖도록 형성된 구조는 모두 가능하다.

<47> 본 발명의 다른 실시예로서, R, G, B 단위화소의 멀티 게이트사이의 오프셋영역의 크기(W/L)를 변화시켜 오프셋영역에서의 저항값을 변화시켜 줌으로써, 화이트 밸런스를 구현할 수도 있다. 예를 들어, R, G, B 단위화소의 멀티게이트사이의 오프셋영역의 총길이는 동일하게 설정하고, 오프셋영역이 서로 다른 폭을 갖도록 형성하여 줌으로써, R, G, B 단위화소의 오프셋영역이 서로 다른 저항값을 갖도록 형성할 수도 있다. 또한, R, G, B 단위화소의 멀티게이트사이의 오프셋영역의 폭은 동일하게 설정하고, 오프셋영역의 총길이를 다르게 형성하여 줌으로써, R, G, B 단위화소의 오프셋영역이 서로 다른 저항값을 갖도록 형성할 수도 있다.

<48> 또한, 본 발명의 다른 실시예로서, R, G, B 단위화소의 멀티게이트사이의 오프셋영역의 크기를 변화시켜 주면서, 동시에 상기 실시예에서와 마찬가지로 R, G, B 단위화소

의 오프셋영역중 불순물이 도핑되지 않은 오프셋부분의 길이를 변화시켜 줌으로써, 멀티 게이트사이의 오프셋영역의 저항값을 변화시켜 화이트 밸런스를 구현할 수도 있다.

**【발명의 효과】**

<49>       상기한 바와같은 본 발명의 실시예에 따르면, R, G, B 단위화소의 멀티 게이트사이의 오프셋영역의 기하학적인 구조를 서로 다르게 형성하여 각 오프셋영역의 저항값을 변화시켜 줌으로써 화소면적의 증가없이 화이트밸런스를 구현할 수 있다.

<50>       상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.



**【특허청구범위】****【청구항 1】**

각각 적색(R), 녹색(G), 청색(B)을 구현하기 위한 R, G, B 단위화소를 구비하고, 상기 각 단위화소는 멀티 게이트를 갖는 트랜지스터를 구비하는 다수의 화소를 포함하며

상기 R, G, B 단위화소중 적어도 2개의 단위화소의 트랜지스터는 멀티 게이트사이 에 서로 다른 기하학적 구조를 갖는 오프셋영역을 구비하는 것을 특징으로 하는 평판표시장치.

**【청구항 2】**

제1항에 있어서, 상기 R, G, B 단위화소는 상기 트랜지스터에 의해 구동되는 발광 소자를 구비하며, 상기 R, G, B 단위화소의 트랜지스터중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 오프셋영역의 저항값은 상대적으로 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 오프셋영역의 저항값보다 큰 것을 특징으로 하는 평판표시장치.

**【청구항 3】**

제1항에 있어서, 상기 R, G, B 단위화소의 트랜지스터의 멀티게이트사이의 오프셋 영역의 총길이는 모두 동일하며, 상기 오프셋영역중 불순물이 도핑되지 않은 부분의 오프셋 길이가 서로 다른 것을 특징으로 하는 평판표시장치.

**【청구항 4】**

제3항에 있어서, 상기 R, G, B 단위화소는 상기 트랜지스터에 의해 구동되는 발광소자를 구비하며, 상기 발광소자중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 오프셋영역은 상기 발광소자보다 발광효율이 낮은 발광소자를 구동시켜주기 위한 트랜지스터의 오프셋영역보다 오프셋길이가 긴 것을 특징으로 하는 평판표시장치.

**【청구항 5】**

제1항에 있어서, 상기 R, G, B 단위화소의 트랜지스터의 멀티게이트사이의 오프셋영역의 총길이는 모두 동일하며, 상기 오프셋영역의 폭이 서로 다른 것을 특징으로 하는 평판표시장치.

**【청구항 6】**

제5항에 있어서, 상기 R, G, B 단위화소는 상기 트랜지스터에 의해 구동되는 발광소자를 구비하며, 상기 발광소자중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 오프셋영역은 상기 발광소자보다 발광효율이 낮은 발광소자를 구동시켜주기 위한 트랜지스터의 오프셋영역보다 오프셋길이가 긴 것을 특징으로 하는 평판표시장치.

**【청구항 7】**

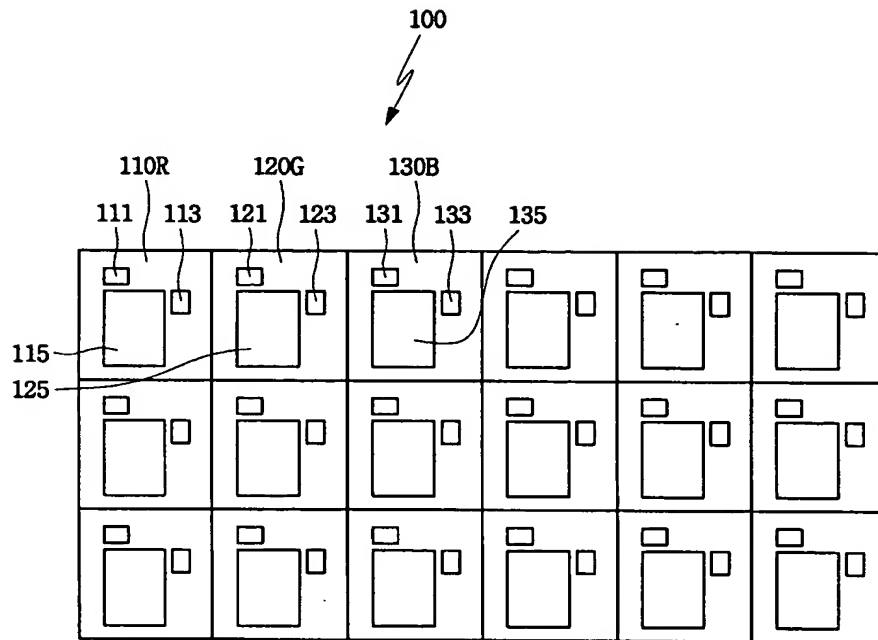
제1항에 있어서, 상기 R, G, B 단위화소의 트랜지스터의 멀티게이트사이의 오프셋영역의 폭은 동일하며, 상기 오프셋영역의 길이가 서로 다른 것을 특징으로 하는 평판표시장치.

**【청구항 8】**

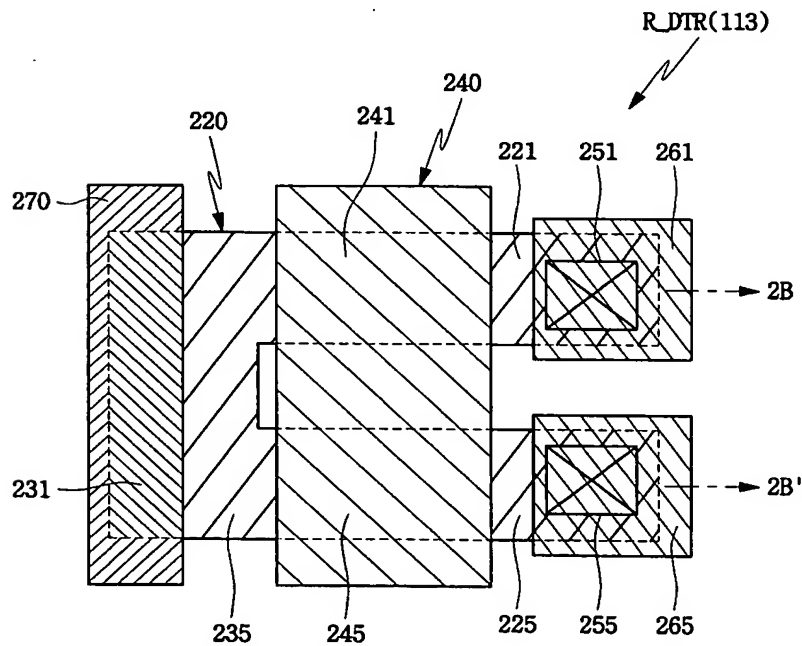
제7항에 있어서, 상기 R, G, B 단위화소는 상기 트랜지스터에 의해 구동되는 발광 소자를 구비하며, 상기 발광소자중 발광효율이 가장 높은 발광소자를 구동시켜주기 위한 트랜지스터의 오프셋영역은 상기 발광소자보다 발광효율이 낮은 발광소자를 구동시켜 주기 위한 트랜지스터의 오프셋영역보다 오프셋길이가 긴 것을 특징으로 하는 평판표시 장치.

## 【도면】

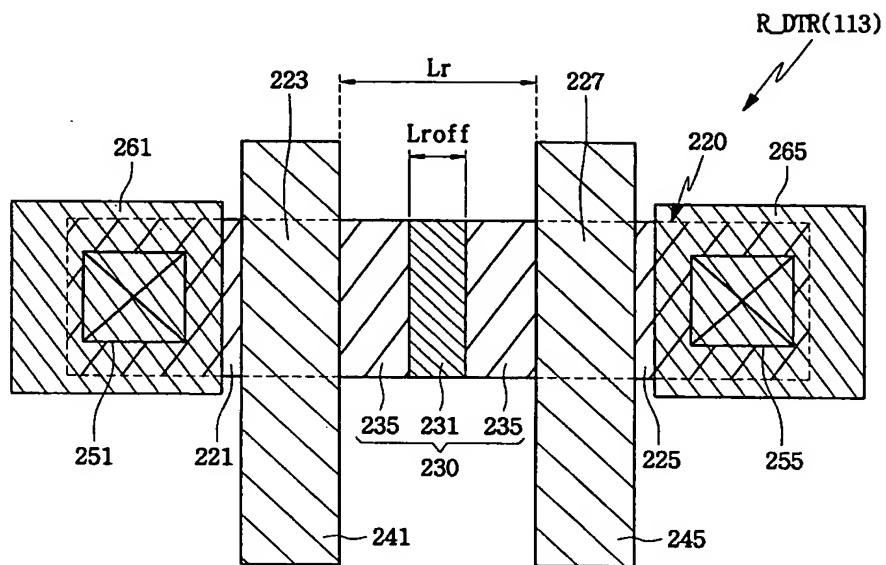
【도 1】



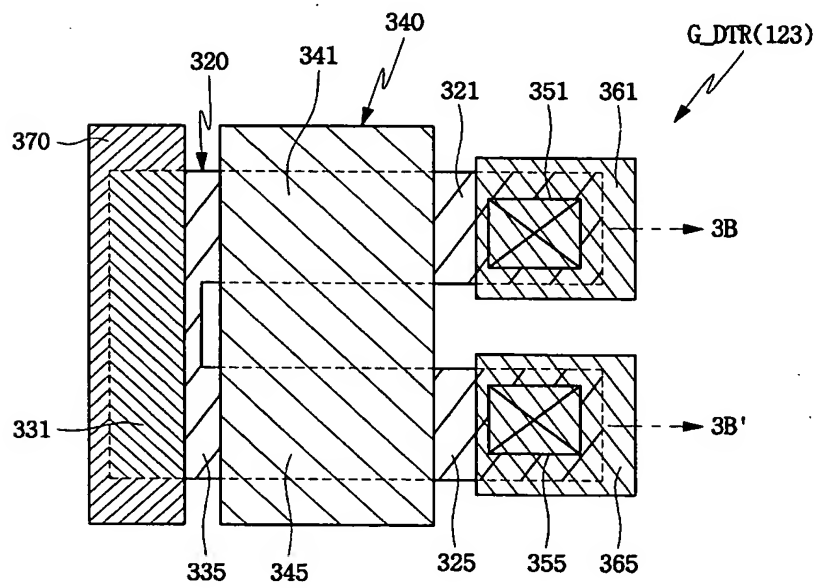
【도 2a】



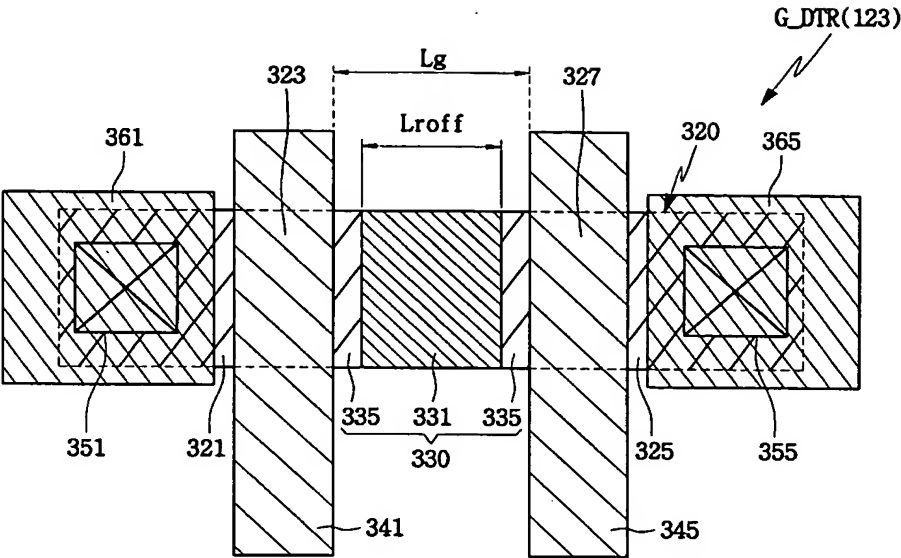
【도 2b】



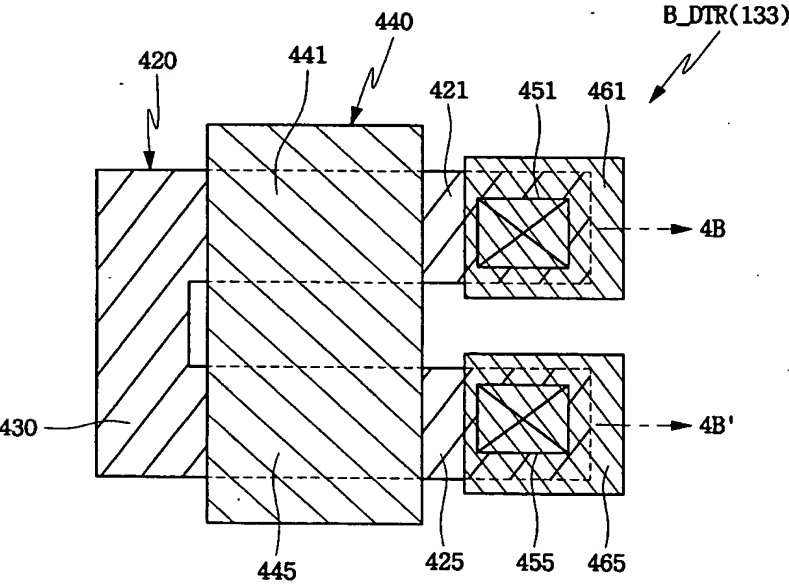
【도 3a】



【도 3b】



【도 4a】



【도 4b】

